

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 38 06 951 C 2

51 Int. Cl.⁶
H 01 L 23/58
H 01 L 29/04
H 01 L 23/62
H 01 L 27/092

21 Aktenzeichen: P 38 06 951.2-33
22 Anmeldetag: 3. 3. 88
43 Offenlegungstag: 15. 9. 88
45 Veröffentlichungstag
der Patenterteilung: 18. 3. 99

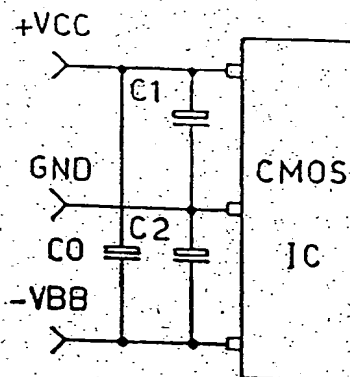
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

30 Unionspriorität:
83609 /87 03. 03. 87 IT
73 Patentinhaber:
SGS-Thomson Microelectronics S.p.A., Catania, IT
74 Vertreter:
Patent- und Rechtsanwälte Bardehle, Pagenberg,
Dost, Altenburg, Geissler, Isenbruck, 81679
München

72 Erfinder:
Dallavalle, Carlo, Vimercate, IT
56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
JP 58-225664 A - in: Patents Abstr. of Japan,
Sect. E, Vol. 8 (1983) (E-237);

54 Integrierte Schaltung mit CMOS-Strukturen für zwei Versorgungsspannungen

57 Integrierte Schaltung mit CMOS-Strukturen für zwei Versorgungsspannungen (+VCC und -VBB), die in einem Wannengebiet dieser CMOS-Strukturen aufweist:
- mindestens einen integrierten MOS-Transistor einer Kanal-Polarität entgegengesetzt zu der Polarität des Wannengebietes dieser CMOS-Strukturen und mit einer Drain oder Source, die mit Masse verbunden ist, und
- einen Wannengebietsanschluß, einen Gate-Anschluß und einen Source- oder Drain-Anschluß dieses MOS-Transistors, die mit einem gemeinsamen Potentialknoten (-VBB oder +VCC) einer der zwei Versorgungsspannungen entsprechend der Polarität des Wannengebietes verbunden sind.



DE 38 06 951 C 2

DE 38 06 951 C 2

Die vorliegende Erfindung betrifft monolithisch integrierte Halbleiterschaltungen und dabei eine integrierte Schaltung mit CMOS-Strukturen für zwei Versorgungsspannungen.

Der wirtschaftliche Einsatz von integrierten CMOS-Schaltungen hat sich allmählich gefestigt und ist für fast jede Art von Microelektronikanwendung interessant. Heute wird diese Technologie in mindestens drei Viertel der hergestellten nicht-bipolaren integrierten Einrichtung wirtschaftlich eingesetzt. Einer der problematischen Aspekte der CMOS-Technologie ist immer das unvermeidbare Auftreten von parasitären, bipolaren Strukturen, die unter bestimmten Bedingungen als Thyristor wirken können, der ein Rückkopplungsphänomen, bekannt als "Latch-Up", hervorruft, das oft eine zerstörende Wirkung hat. Der "Latch-Up" ist jahrelang einer der Hauptfaktoren zur Verzögerung der wirtschaftlichen Anwendung der CMOS-Technologie gewesen, wobei die Konkurrenztechnologien, nämlich die Bipolar- und Einzelkanal-MOS-Technologie, frei von diesem Phänomen sind. Viele vorbeugende, vermindernde und schützende Techniken gegen Latch-Up sind entwickelt worden und heute ist der Latch-Up in integrierten CMOS-Schaltungen, die fast den größten Anteil an hergestellten digitalen, integrierten Schaltungen ausmachen, praktisch eliminiert worden. Weiterhin werden CMOS-Schaltungen heutzutage weit verbreitet in integrierten Schaltungen eingesetzt, die gemischte Funktionen (Analog-Digital) ausführen, wo sie praktisch Einzelkanal-MOS-Schaltungen ersetzt haben.

Auf diesem Anwendungsgebiet gibt es herkömmlich zwei Versorgungsspannungen: Eine positive ($V_{CC} = +5\text{ V}$) und eine negative ($V_{BB} = -5\text{ V}$) in Bezug auf Masse ($GND = 0\text{ V}$). Es ist auf diesem Anwendungsgebiet eine gute Entkopplung sowohl zwischen digitalen und analogen Teilen der integrierten Schaltung als auch zwischen unterschiedlichen Schaltungsabschnitten, die innerhalb der integrierten Einrichtungen (z. B. Übertragungs- und Empfangsschaltungsabschnitte) wirken, obligatorisch. Zu diesem Zweck ist üblich, daß in A/D- und D/A-Wandlern und im allgemeinen für Analog-/Digital integrierte Schaltungen mit Hilfe von Kondensatoren die Versorgung "sauber" gehalten werden, die zwischen eine Versorgung und die andere und zwischen jede Versorgung und Masse geschaltet sind. Diese Kondensatoren haben notwendigerweise relativ hohe Kapazitätswerte (bis zu 100 Microfarad) und können deshalb, wenn einmal aufgeladen, hohe bzw. starke Stromspitzen hervorrufen, d. h. sie sind im Stande hohe Ströme für extrem beschränkte Zeitabschnitte zu liefern.

Solch eine typische Schaltungsanordnung mit Kondensatoren wird in Fig. 1 gezeigt.

Es ist leicht zu verstehen, daß mit der zunehmenden Anzahl von Versorgungsspannungen das Problem der Latch-Up-Verhinderung schwieriger wird. Die Wahrscheinlichkeit nimmt zu, daß, als Auswirkung einer bestimmten zeitlichen Variation der Versorgungsspannungen, einer der Pole der integrierten Schaltung in einer relativ ungünstigen Art gepolt wird, womit ein direktes Vorspannen der inneren Übergänge der integrierten Einrichtung (Verbindung, die einen Latch-Up bewirken kann) hervorgerufen wird.

Z. B., wenn die integrierte Einrichtung ein P-Wannen-CMOS ist und wenn die -5 V Versorgungsspannung angelegt wird mit einer gewissen Verzögerung gegenüber der $+5\text{ V}$ Versorgungsspannung, macht sich ein kurzzeitiger hinsichtlich der Spannung nicht definierter (Floating)-Zustand des Pols der negativen Versorgung der integrierten Schaltung als eine positive Vorspannung des VBB-Anschlusses (Pols) hervorgerufen durch eine kapazitive Teilung der VCC-Spannung an den Schutzkondensatoren (gleich $+5\text{ V}$) bemerkbar, entsprechend der Gleichung:

$$V_{BB} = V_{CC} \cdot \frac{C_O}{C_O + C_2}$$

Deshalb ist für $C_2 = C_O$ dann $V_{BB} = +2,5\text{ V}$ für den ganzen Zeitabschnitt, während dem der VBB-Versorgung zugeordnete Pol der integrierten Schaltung nicht an die richtige Versorgungsspannung von -5 V angelegt ist.

Auch die Gegenmaßnahme, nämlich die Auslegung des Kondensators C_O viel größer als der Kondensator C_2 , ist nicht immer anwendbar. Es ist dabei leicht zu verstehen, daß für den Hersteller integrierter Schaltungen es schwierig ist, die Verwendungen derselben vorherzusehen und damit welcher Kondensator anwendungsspezifisch verwendet werden soll, ohne strenge Anwendungsspezifikationen aufzuerlegen, die von den Anwendern kaum hingenommen werden können.

Für einen Hersteller integrierter Schaltungen liegt eine typische Situation wie in Fig. 2 gezeigt vor, wobei die Kapazität zwischen einem P-Wannen-Gebiet und dem Substrat viel größer ist, als die Kapazität zwischen einem N+-diffundierten Gebiet und dem P-Wannen-Gebiet ($C_{\text{P-Wannen/sub}} > C_{\text{N+/P-Wannen}}$). In solch einer Situation steigt das P-Wannen-Potential leicht auf einen Wert sehr nahe an der VCC-Spannung an und der P-Wannen/N+-Übergang wird direkt vorgespannt, wenn innerhalb der P-Wannen-Zone auf Masse liegende N+-Diffusionsgebiete vorhanden sind. Diese auf Masse liegenden Diffusionsgebiete sind ziemlich sicher vorhanden, weil für den Entwickler integrierter Schaltungen (da keine N-Kanal-MOS-Transistoren mit einer Source verfügbar sind, die mit der Masse in Form eines Substrats verbunden sind) für stabile Bedingungen VBB auf einem Potential (-5 V) sein muß.

Deshalb muß der Entwickler von integrierten Schaltungen diese Gebiete schützen, aber der Schutz gegen Latch-Up hat einen bestimmten Gebietsverlust oder Flächenverlust zur Folge, der sich in einer gewissen Begrenzung in der Zahl von N-Kanal-Transistoren mit auf Masse liegender Source auswirkt, die wirtschaftlich beim Entwickeln der integrierten Schaltungen eingesetzt werden können.

In Fig. 3 wird gezeigt, was in einer integrierten Schaltung mit zwei Versorgungsspannungen geschehen kann, wenn auf einer Schaltungsplatine andere Bauelemente mit zwei Versorgungsspannungen verbunden sind und eine verzögerte Anlegung der VBB-Spannung relativ zur VCC-Spannung das direkte Vorspannen des inneren P-Wannen/N+-Übergangs (Dioden) hervorgerufen hat.

Die mögliche Anwesenheit eines Operationsverstärkers, wie in Fig. 3 schematisch gezeigt, erzeugt einen Strompfad: VCC-Operationsverstärker-VBB-P-Wannen/N+-Diode-GND; der für das Auslösen der Latch-Up-Bedingung mit einer folgenden, möglichen Zerstörung der integrierten Schaltung verantwortlich ist. In einem solchen Fall ist der injizierte Strom selbst bei Abwesenheit von zwischen den Versorgungsspannungen angeschlossenen Kondensatoren relativ groß.

Natürlich sind die oben stehend angegebenen Probleme auch in einer N-Wannen-CMOS-Einrichtung gegeben, wenn

die positive Versorgung (VCC) mit einer bestimmten Verzögerung gegenüber der negativen Versorgungsspannung (VBB) angelegt wird. In diesem Fall sind die Polaritäten umgekehrt und dabei ersetzt also die N-Wannen und die P-Diffusionsgebiete die P-Wannen- bzw. N-Diffusionsgebiete in den zugeordneten Figuren und in der oben stehenden Erläuterung.

Ein allgemeiner Rat, der noch von Herstellern integrierter Schaltungen für die Abhilfe des Problems auf den Datenblättern gegeben wird, ist, daß eine Schottky-Diode, die wie in Fig. 3 mit der Phantomfigur (gestrichelte Linie) gezeigt (d. h. zwischen VCC und GND im Falle eines N-Wannen-CMOS), verbunden ist, verwendet wird, oder daß ein Kondensator C0 viel größer als C2 und C1 für den Fall vorgesehen ist, daß Störungs-Bypass-Kondensatoren zwischen den Versorgungsspannungen verwendet werden.

Weiterhin bekannt sind Karten bzw. Leiterplatten, die für P-Wannen-CMOS integrierte Schaltungen mit zwei Versorgungsspannungen geeignet sind, und bewußt Anschlüsse der der VBB-Spannung zugeordneten Leiterbahnen haben, die weiter vorstehen als die Masseanschlüsse und insbesondere weiter als die Anschlüsse, die der VCC-Spannung zugeordnet sind, so daß beim Einschieben der Karte, auf die P-Wannen-CMOS integrierte Einrichtung untergebracht sind, die Versorgungsspannung entsprechend der nachstehenden Reihenfolge angelegt werden: VBB = -5 V, GND = 0 V und VCC = +5 V. Beim Herausziehen der Karte werden diese Versorgungsspannungen entsprechend der umgekehrten Folge abgetrennt. Offensichtlich vermeidet eine solche Lösung Latch-Up-Probleme nur während des Einschiebens und Herausziehens der Karte, wobei solch eine Maßnahme nicht mehr nützlich ist, sobald CMOS integrierte Schaltungen vom P-Wannen- als auch vom Typ N-Wanne zusammen auf der gleichen Systemkarte benutzt werden, d. h. CMOS-Schaltungen vorliegen.

Eine weitere Schaltung ist aus JP-58-225664 A, in: Patent Abstracts of Japan, Sect. E, Vol. 8 (1983) (E-237) bekannt, die den Latch-Up-Effekt dadurch verhindert, daß ein ringförmiges n-leitendes Gebiet um die CMOS-Struktur vorgesehen ist. Ein Nachteil dieser Lösung ist der große Flächenaufwand.

Aufgabe der vorliegenden Erfindung ist es daher, eine integrierte Schaltung mit CMOS-Strukturen für zwei Versorgungsspannungen anzugeben, die wirksam gegen Latch-Up geschützt sind, ohne daß für diesen Zweck besondere Hilfsmittel in den äußeren Versorgungsschaltungen der integrierten Einrichtung, und ohne daß flächenaufwendige Strukturen innerhalb des CMOS-Halbleiters erforderlich sind.

Diese Aufgabe wird mit den Merkmalen des Gegenstands des Anspruchs 1 gelöst.

Die Erfindung wird anhand der Figuren erläutert, es zeigt:

Fig. 1 eine herkömmliche Schaltungsanordnung mit externen Bypasskondensatoren zwischen den Versorgungsspannungen einer integrierten CMOS-Schaltung mit zwei Versorgungsspannungen;

Fig. 2 schematisch zur Erläuterung die kritischen kapazitiven Kopplungen einer P-Wannen-CMOS-Einrichtung;

Fig. 3 schematisch eine mögliche Situation, die zu einem unerwünschten Latch-Up-Zustand führt;

Fig. 4 ein grundlegendes Schaltungsdiagramm des Gegenstandes der Erfindung, bei einer integrierten P-Wannen-CMOS-Schaltung; und

Fig. 5 ein grundlegendes Schaltungsdiagramm des Gegenstandes der Erfindung bei einer integrierten N-Wannen-CMOS-Schaltung.

Die Fig. 1, 2 und 3 sind bereits eingangs mit Bezug auf die Erläuterung des Standes der Technik beschrieben worden.

Wie in Fig. 4 für den Fall einer integrierten P-Wannen-CMOS-Schaltung gezeigt, ist die kritische Bedingung für das Auslösen eines Latch-Up-Phänomens dadurch gegeben, daß der Versorgungsanschluß VBB potentialmäßig "schwimmt" bzw. schwebt (floating) (Zustand 1), anstatt fest auf -5 V (Zustand 2) zu liegen.

Entsprechend, wie in Fig. 5 für den Fall einer integrierten N-Wannen-CMOS-Schaltung gezeigt, wird der kritische Zustand für das Auslösen des Latch-Up-Phänomens dadurch angegeben, daß der Versorgungsanschluß VCC potentialmäßig "schwimmt" (Zustand 1), anstatt fest auf +5 V (Zustand 2) zu liegen.

In der folgenden Beschreibung, die für den Fall der integrierten P-Wannen-CMOS-Schaltung gilt, wird, wo immer es möglich oder nützlich ist, der im Falle einer N-Wannen-CMOS-Einrichtung geltende Zustand in Analogie dadurch angedeutet, daß er in Klammern angegeben wird.

Wenn aus irgendeinem zufälligen Grund der Zustand 1 eintritt, also wenn der Anschluß oder der der VBB-Versorgungsspannung zugeordnete Potentialknoten auf einem schwimmenden Potential (VCC schwimmend) ist und sobald das Potential am Knoten VBB (VCC) ein positives (negatives) Potential gegenüber der Masse annimmt, wird der integrierte N-Kanal-(P-Kanal)-Schutztransistor den folgenden Zuständen unterliegen:

VGS $V_{th\phi_{P-ch}}$ mit VGS = VBB schwimmend
(VGS $V_{th\phi_{N-ch}}$ mit VGS = VCC schwimmend)

und er wird einschalten, wobei das Potential des Knotens VBB (VCC) auf die zugeordnete Schwellenspannung $V_{th\phi_N}$ ($V_{th\phi_P}$) abfällt.

Auf diese Weise ist es durch eine passende Dimensionierung des Werts der extrapolierten Schwellenspannung des Schutztransistors bei der Erfindung möglich, eine direkte Vorspannung des betrachteten internen Übergangs der integrierten Schaltung zu verhindern.

In dem Zustand 2, der vorliegt, wenn die Versorgungsspannung VBB (VCC) die richtige Polung hat, wird der integrierte Schutztransistor eine Gatespannung unterhalb seiner Schwellenspannung aufweisen:

VGS = 0 V mit $V_{th\phi_N}$ 0 V
(VGS = 0 V mit $V_{th\phi_P}$ 0 V)

Deshalb wird im Zustand 2, d. h. bei normalem Betrieb der integrierten Schaltung, VBB = -5 V (VCC = +5 V) sein und der integrierte MOS-Schutztransistor mit vier Anschlüssen wird gesperrt sein. Um diesen Zustand sicherzustellen, ist es notwendig, dem Schutztransistor den typischen Wert der extrapolierten Schwellenspannung aufzuerlegen:

$$V_{th\phi_N} = +0,45 \text{ V}$$

$$(V_{th\phi_P} = -0,45 \text{ V})$$

- 5 Mit solch einem Wert der extrapolierten Schwelle von ungefähr 0,45 V wird sich tatsächlich bei dem Zustand 1 das positive VBB-Potential (negative VCC-Potential) über den leitenden MOS-Schutztransistor entladen, bis die Spannung auf ungefähr 0,45 V (-0,45 V) abfällt, wenn die folgende Bedingung eingehalten wird:

$$V_{GS} = V_{th\phi_N}$$

$$10 (V_{GS} = V_{th\phi_P})$$

und der MOS-Schutztransistor wird leitend bleiben, ohne aber das Potential des VBB (VCC) Knotens weiter zu entladen. Jedoch reicht dies aus, um ein direktes Vorspannen des Übergangs zu verhindern, wofür ein Potential von ungefähr 0,6 bis 0,7 V (-0,6 bis -0,7 V) erforderlich ist.

- 15 Es wird notwendig sein, daß das N+ (P+) Source-Diffusionsgebiet, das mit der Masse des integrierten Schutztransistors bei der Erfindung verbunden ist, mit geeigneten Schutzringen gegen Latch-Up versehen wird, weil der zugeordnete Übergang beim Zustand 1 direkt vorgespannt wird. Jedoch ist das eine Anti-Latch-Up-Anordnung, die von vornherein bei diesem einzelnen Transistor und für die gesamte integrierte Schaltung erforderlich ist.

- 20 Weil die absoluten Werte und die Änderungsbereiche sowohl für integrierte P-Wannen-Einrichtungen als auch für integrierte N-Wannen-Einrichtungen identisch sind, wird aus Gründen der Einfachheit in der folgenden Erläuterung anstatt des Gebrauchs der doppelten (geklammerten) Schreibweise, wie in der vorhergehenden Beschreibung, eine Betrags-schreibweise benutzt werden.

Eine akzeptable Zuverlässigkeit der Schutzeinrichtung als Gegenstand der vorliegenden Erfindung wird durch ein Schwellenpotential des Schutztransistors sichergestellt

$$25 |V_{th\phi}| = \pm 100 \text{ mV}$$

In solch einem Fall sind die Extremwerte des Variationsbereichs:

$$30 \frac{|0,35V|}{\min} \quad \frac{|0,45V|}{\text{typical}} \quad \frac{|0,55V|}{\max}$$

- 35 Die Temperaturabhängigkeit des Betrags $V_{th\phi}$ der Schwellenspannung wird untenstehend erläutert. Für einen MOS-Transistor sind die typischen Werte von $d|V_{th\phi}|/dt$:

$$\frac{d|V_{th\phi}|}{dt} = \frac{2,5 \text{ mV}}{^{\circ}\text{C}}$$

- 40 Es ist bekannt, daß solch ein Wert weiterhin vermindert wird, wenn die Schwelle des Bauteils so eingestellt wird, wie es vorzugsweise durch eine Erhöhung der Ladung mit Hilfe von Ionen-Implantation der Fall ist. Jedoch, vorsichtshalber, erweitert sich der Variationsbereich durch das Anwenden des Temperaturkoeffizienten von 2,5 mV/°C auf den Variationsbereich der Schwellenspannung $V_{th\phi}$ für Temperaturwerte zwischen -40°C und +100°C wie folgt:

$$45 \frac{|160 \text{ mV}|}{\min (T=100^{\circ}\text{C})} < |V_{th0}| < \frac{|710 \text{ mV}|}{\max (T=40^{\circ}\text{C})}$$

- 50 Der untere Extremwert |0,16 V| des Änderungsbereichs der Schwellenspannung ist noch ausreichend hoch, um den Grenz- oder Abschaltzustand (cut-off) des MOS-Schutztransistors auch bei hohen Temperaturen, wenn die integrierte Schaltung normal arbeitet ($V_{BB} = -5 \text{ V}$, $V_{CC} = +5 \text{ V}$), sicherzustellen. Wenn diese Bedingungen nicht eingehalten werden, entsteht ein ständiger Stromweg von den gemeinsamen Potentialknoten VBB nach Masse (oder VCC nach Masse für den Fall einer N-Wannen-Einrichtung), der die Niedrig-Verbrauchs-Charakteristiken der integrierten Schaltung besonders während Wartezuständen oder leistungsabgesenkten Zuständen verschlechtert.

- 55 Der obere Extremwert des Variationsbereichs der Schwellenspannung wird wichtig, wenn der Schutztransistor leitet und eine direkte Vorspannung des internen Übergangs der integrierten Schaltung verhindert werden muß. Der Extremwert von |0,710 V| ist realistisch, weil auch die VBE-Spannung mit dem Abfall der Temperatur ähnlich erhöht wird, sogar wenn:

$$60 |V_{BE}| < |0,710 \text{ V}|$$

ist.

- 65 Prinzipiell gilt, daß bei niedrigen Temperaturen der Strom, der in einen direkt vorgespannten Übergang injiziert werden muß, um Latch-Up auszulösen, stark erhöht ist, wegen der Verminderung (mit der niedrigen Temperatur) der Stromverstärkung (β) des parasitären bipolaren Transistors.

Gemäß einer besonders vorteilhaften Ausführungsform der Erfindung sollte die Kanallänge (L) des integrierten MOS-Transistors mindestens zweimal so lang wie die Minimallänge der Strukturen des bestimmten CMOS-Herstellungspro-

zesses sein, der zur Herstellung der integrierten Schaltung mit dem Ziel verwendet wird, die "Unter der Schwelle liegenden"-Ströme zu reduzieren, wenn der MOS-Schutztransistor ein Abschalten bei einer Temperatur nahe des betrachteten Maximums bewirkt.

Die Weite (W) des integrierten Schutztransistors, der kompatibel mit den Charakteristiken des verwendeten Herstellungsprozesses ist, sollte bevorzugterweise relativ groß sein, um den Serienwiderstand (R_{on}) des Schutztransistors so klein wie möglich zu machen, und sie sollte in jedem Fall ausreichen, zu erlauben, daß ziemlich große Ströme ohne eine übermäßig ansteigende Erhöhung der Drain-Source-Spannung nach Masse fließen können. Die W-Abmessung des integrierten Schutztransistors sollte in der Praxis sein:

WN = 3000–5000 Micrometer im Fall einer P-Wannen-CMOS-Einrichtung, wohingegen im Fall einer N-Wannen-CMOS-Einrichtung WP = 10.000–15.000 Micrometer ist.

Diese relativ großen Abmessungen des integrierten Schutztransistors sind mit Hinsicht auf die Gesamtfläche der hergestellten integrierten Schaltung nicht besonders von Nachteil, da nur ein einziger Schutztransistor für die gesamte integrierte Schaltung notwendig ist.

Die integrierte CMOS-Schaltung für zwei Versorgungsspannungen, die so mit der Schutzeinrichtung versehen ist, bietet bemerkenswerte Vorteile gegenüber den bekannten Lösungen des Latch-Up-Kontrollproblems in dieser Gruppe von integrierten Schaltungen. Mit Hilfe eines einzigen, zusätzlichen integrierten MOS-Schutztransistors werden Latch-Up-Probleme wirksam in einem Chip verhindert, unabhängig von der äußeren Beschaltung.

Konstruktionseinschränkungen bei Karten bzw. Platinen mit diesen integrierten Schaltungen (z. B. auch Bypass-Kondensatoren) sind vorteilhafterweise überflüssig. Weiterhin ist die Notwendigkeit des Einsatzes von zusätzlichen externen Bauelementen, wie Schottky-Dioden entfallen, die die Zuverlässigkeit der Karte selbst vermindern. Außerdem wird mit steigendem Einsatz von integrierten P-Wannen- und N-Wannen-CMOS Einrichtungen in dem gleichen System die Unterbringung beider Arten von Einrichtungen auf der gleichen Systemkarte leicht möglich sein, ohne daß besondere Probleme bezüglich des Sicherstellens einer korrekten Einschieb-Herausziehfolge der Kontakte der Versorgungsbahnen beim Kartenaustausch auftreten.

Patentansprüche

1. Integrierte Schaltung mit CMOS-Strukturen für zwei Versorgungsspannungen (+VCC und -VBB), die in einem Wannengebiet dieser CMOS-Strukturen aufweist:

- mindestens einen integrierten MOS-Transistor einer Kanal-Polarität entgegengesetzt zu der Polarität des Wannengebietes dieser CMOS-Strukturen und mit einer Drain oder Source, die mit Masse verbunden ist, und
- einen Wannengebietsanschluß, einen Gate-Anschluß und einen Source- oder Drain-Anschluß dieses MOS-Transistors, die mit einem gemeinsamen Potentialknoten (-VBB oder +VCC) einer der zwei Versorgungsspannungen entsprechend der Polarität des Wannengebietes verbunden sind.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die CMOS-Strukturen P-Wannenstrukturen sind, daß der MOS-Transistor ein N-Kanal-Transistor ist, daß der Substratbereich, das Gate und die Source des Transistors über den Versorgungsknoten -VBB mit der negativen Spannung verbunden sind, und daß die Drain des Transistors mit Masse verbunden ist.

3. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die CMOS-Strukturen N-Wannenstrukturen sind, daß der MOS-Transistor ein P-Kanal-Transistor ist, daß der Substratbereich, das Gate und die Drain des Transistors über den Versorgungsknoten +VCC mit der positiven Spannung verbunden sind, und daß die Source des Transistors mit Masse verbunden ist.

4. Integrierte Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß der MOS-Transistor eine Kanallänge, die mindestens gleich zweimal der Minimallänge des zur Herstellung der integrierten Schaltung eingesetzten Herstellungsprozesses ist, und eine Weite zwischen 3000 und 5000 Micrometer hat.

5. Integrierte Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß der MOS-Transistor eine Kanallänge, die mindestens gleich zweimal der Minimallänge des zur Herstellung der integrierten Schaltung eingesetzten Herstellungsprozesses ist, und eine Weite zwischen 10.000 und 15.000 Micrometer hat.

Hierzu 1 Seite(n) Zeichnungen

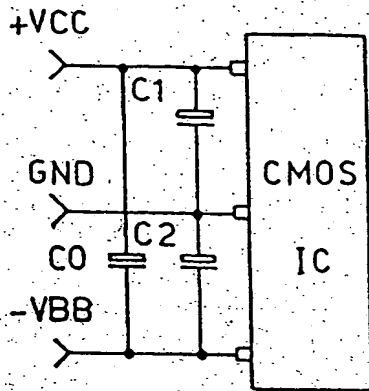


FIG. 1

(STAND DER TECHNIK)

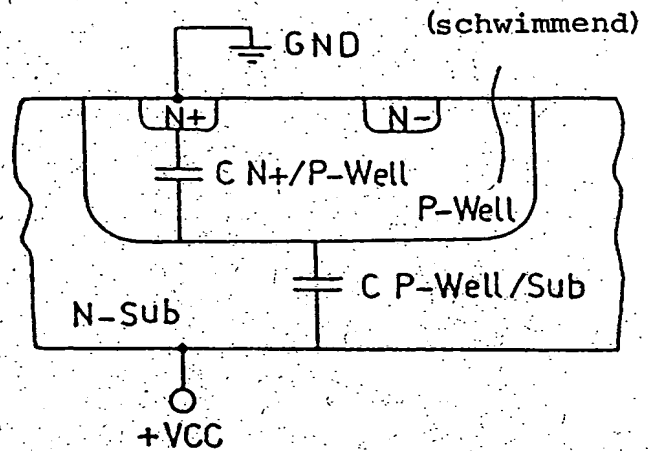


FIG. 2

(STAND DER TECHNIK)

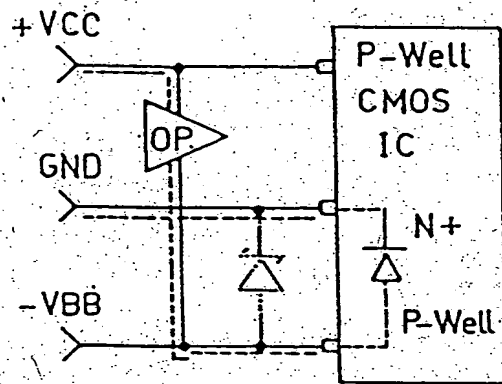


FIG. 3

(STAND DER TECHNIK)

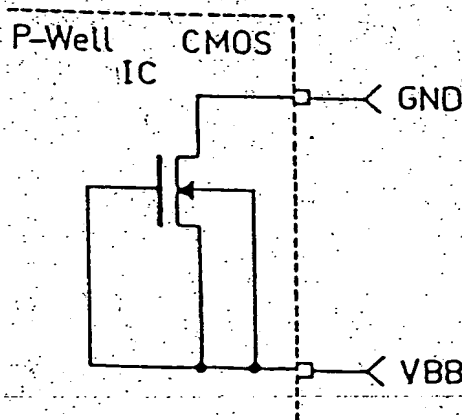


FIG. 4

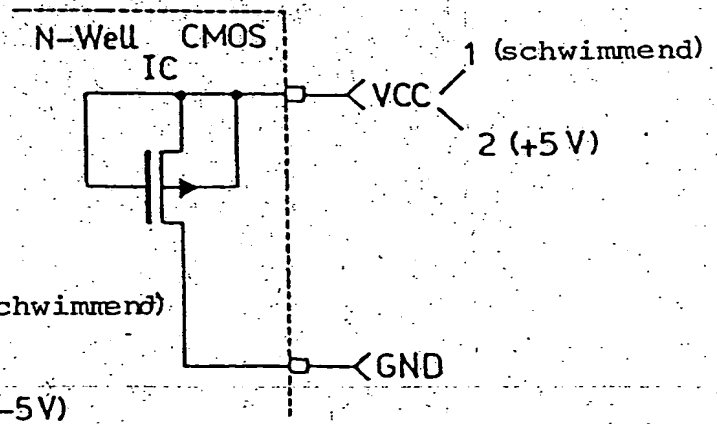


FIG. 5